



대한민국특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 27140 호
Application Number

출원년월일 : 1999년 07월 06일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



RECEIVED
OCT 10 2000
TECHNOLOGY CENTER 2800

2000 년 09 월 26 일

특허청
COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0706		
【제출일자】	1999.07.06		
【국제특허분류】	G02F		
【발명의 명칭】	액정표시장치의 박막트랜지스터 및 그 형성방법		
【발명의 영문명칭】	Method for Forming a Substrate of a Liquid Crystal Display Device		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	이화식		
【대리인코드】	9-1999-000021-0		
【포괄위임등록번호】	1999-030881-9		
【발명자】			
【성명의 국문표기】	정창오		
【성명의 영문표기】	JEONG, CHANG OH		
【주민등록번호】	620220-1140615		
【우편번호】	445-970		
【주소】	경기도 화성군 태안읍 병점리 대창APT 105-1005		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 식 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	45,000 원		

【요약서】

【요약】

본 발명은 5매 마스크를 사용하여 형성한 LCD 기판의 TFT 구조 및 그 형성하는 방법에 관한 것으로서,

트랜지스터의 전극을 크롬층과 알미늄층의 복층으로 구성하고 소오스 전극과 화소 전극을 연결시킬 때 직접 알미늄층과 ITO층이 겹치게 되어 전기 접속에서 그리고 ITO 씽 각에서 알미늄과 문제를 발생시키지 않도록 패드부와 콘택부를 개방할 때 2 단계 톤 노광을 사용하여 각각 개방하고 보호막 절연막을 제거하며, 함께 알미늄층을 제거한 상태에서 크롬층 위에 ITO막이 닿도록 하거나, 소오스 전극에는 알미늄층을 형성하지 않고 전도성이 높을 것을 요하는 데이터 라인에만 알미늄 패턴을 별도로 설치하여 소오스에서 콘택 형성시의 문제점을 예방하면서도 데이터 라인의 신호 전달이 원활하도록 한다.

【대표도】

도 12

【색인어】

알미늄, ITO, 콘택, 데이터 라인.

【명세서】**【발명의 명칭】**

액정표시장치의 박막트랜지스터 및 그 형성방법{Method for Forming a Substrate of a Liquid Crystal Display Device}

【도면의 간단한 설명】

도1 및 도2는 종래의 TFT 형성 과정에서의 콘택 형성의 문제점을 드러낸 도면이다.

도3은 본 발명의 일 실시예에 따라 형성된 박막트랜지스터로 이루어지는 액정표시장치의 화소부를 나타낸 평면 레이 아웃 도면이다.

도4에서 도12까지는 본 발명의 제 1 구성에 따르는 액정표시장치의 TFT 형성방법의 실시예를 나타낸 것이다.

도13에서 도16까지는 본 발명의 제 2 구성에 따른 액정표시장치의 TFT 형성방법의 실시예를 나타낸 것이다.

도17에서 도23, 도25에서 도26은 본 발명의 제 3 구성 방법에 따른 실시예를 나타내는 도면이다.

도24는 본 발명의 제 3 구성에 따라 형성된 소오스 드레인 전극과 데이타 라인을 나타내는 평면도이다.

※도면 주요부분에 대한 부호의 설명

10,20,40: 글래스 기판

11,15,21,25,41,45: 크롬층

12,22,42: 게이트 절연막	13,23,43: 실리콘막
14,16,24,26,44,46: 알미늄층	17,27,47: 보호막
18,31,51: 투명전극층	19,29,49: 콘택부
30,50: 패드부	28,52: 포토레지스트
32: 유기 절연막	53: 채널 영역
56: 소오스 전극	57: 데이터 라인
58: 알미늄 패턴	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 박막트랜지스터 액정표시장치의 트랜지스터 및 그 형성방법에 관한 것으로서, 보다 상세하게는 박막트랜지스터 액정표시장치의 트랜지스터 전극과 화소전극을 포함하는 하부 기판의 콘택을 보완한 박막트랜지스터 및 그 형성방법과 화소에 전기신호를 인가하는 데이터 라인의 저저항화에 관한 것이다.
- <17> 액정표시장치는 두 매의 글래스 기판사이에 전극을 형성하고 액정을 주입하여 전극에 인가된 전압에 따라 액정의 배열을 조절하고 이를 통과하는 빛의 위상을 변화시켜, 기판에 설치된 편광판과의 관계에서 빛을 통과시키거나 통과시키지 않도록 하는 원리를 이용하여 화면상에 화상을 표시하는 장치이다.
- <18> 액정표시장치에서 액정 배열을 조절하는 전극을 각 화소로 구성되는 화면 전

체에 형성할 때 전극의 구성형태에 따라 액정표시장치를 여러 가지 종류로 나눌 수 있는데, 대표적인 것이 TFT LCD이다. TFT LCD는 액티브 매트릭스 방식의 대표적인 종류로서 각 화소에 비선형 소자인 트랜지스터를 형성하고 게이트와 소오스 전극에 게이트 라인과 데이터 라인을 통해 신호를 인가하면서 트랜지스터의 드레인에 화소전극을 연결하여 대향하는 공통전극과의 사이에 전압을 걸어 각 화소의 액정 배열을 조절하는 방식을 취한다.

<19> 글래스 기판에 TFT를 형성하고 화소전극과 결합시켜 LCD를 이루는 대향 기판의 한 쪽을 형성하는 작업은 매우 정교하면서도 신뢰성을 요구하는 것이며, 다수의 공정 단계를 요구하는 것이다. 따라서 이 공정의 단계 수를 줄이고 각 단계의 공정의 질을 높여 신뢰성 있는 소자를 저렴한 비용으로 형성하는 것이 액정표시장치의 제작에 중요한 과제가 된다

<20> 도1 및 도2는 종래의 TFT측 기판 특히 전극 형성에서 관한 것으로서, 도1은 소오스 전극 위쪽에 콘택을 형성한 경우의 문제점을 드러낸 것이고, 도2는 소오스 전극과 그 외곽으로도 콘택을 형성한 경우에서의 문제점을 드러낸 도면이다.

<21> 우선 도1에 관하여 설명하면, 도1의 구조는 TFT LCD의 바텀(bottom) 게이트 방식을 5매 마스크 공정을 통해 형성한 상태를 나타내며, 콘택이 형성될 위치에서 화소전극을 형성할 금속층이 콘택홀 내부의 언더 컷 또는 동공으로 인하여 단절되어 콘택이 형성되지 않는 현상을 나타낸다.

<22> 이때 게이트 전극이나 드레인, 소오스 전극을 형성하는 금속층은 크롬 몰리브덴 티타늄 등의 반사 특성이 강한 금속층 위에 알미늄이나 그 합금을 적층한 복층 금속층이다. 이런 복층 구조는 2개의 다른 금속층을 사용한다는 면에서는 다소 번거롭지

만 2 층의 금속의 조합에서 오는 장점을 살려 하나의 금속으로만 전극이나 신호 라인을 형성할 때 생기는 문제점을 보완할 수 있으므로 사용된다. 특히, 알미늄이나 그 합금을 이용한 배선은 저저항 측면에서 유리하지만 스파이크 현상 등 실리콘 반도체층과 바로 접촉시키면 문제를 일으킬 수 있으므로 중간의 베퍼층을 형성하여 복층 금속층을 이루게 한다.

- <23> 결국 복층 금속층 구성은 단층 구성에서 생길 수 있는 이러한 문제점을 방지하면서도 도전층 본래의 기능을 충분히 발휘하기 위한 목적으로 사용된다.
- <24> 그리고 같은 도전층으로 대개 동시에 형성되지만 데이터 라인과 소오스, 드레인 전극의 경우 기능이나 인접 막과의 관계가 다르다. 또한 소오스와 드레인 전극 사이에도 드레인 전극은 콘택을 통해 화소전극과 연결되지만 소오스 전극은 데이터 라인과 연결되고 화소전극과는 연결되지 않는다.
- <25> 트랜지스터의 데이터 신호를 인가하는 데이터 라인의 경우, 소오스 전극에 전기 신호를 인가하는 라인에서 저항을 낮게 유지하여 신호 라인 저항에 의한 대화면에서의 화면 왜곡을 방지하기 위해 전기 전도성이 좋은 알미늄 및 그 합금을 사용하는 것이 바람직하다. 그러나 드레인 전극과 ITO 화소전극을 콘택하는 경우 ITO와 알미늄이 접촉하게 되고 계면에서 ITO의 산소원자가 알미늄과 화합하여 산화 알미늄을 형성하므로 접촉면의 콘택 저항을 높이는 문제가 있으므로 이런 경우에는 전극을 크롬과 알미늄 복층으로 형성한 경우 콘택부의 알미늄을 에칭으로 제거하고 아래 크롬층과 ITO층이 콘택을 형성하도록 하는 방법으로 사용하게 된다.
- <26> 이렇게 차별적 요구를 만족하면서도 이들을 총괄적으로 고려하여 최소의 단계, 간단하고 신뢰성 높은 공정을 만드는 것이 중요한 과제가 되는 것이다.

<27> TFT측 기판에서의 전극 형성 단계의 한 예를 보면 우선, 글래스 기판(10) 위에 크롬층(11)과 알미늄층(14)으로 게이트 전극과 게이트 라인 및 게이트 패드를 형성한다. 이때 포토리소그래피와 에칭 공정이 이용된다(제 1 마스크). 그 위에 게이트 절연막(12)과 실리콘막(13) 즉, 아몰퍼스 실리콘막, 불순물로 인이 도핑된 아몰퍼스 실리콘막을 차례로 적층한다. 그리고 두 층의 실리콘막(13)을 패터닝하여 반도체층으로 이루어지는 액티브 패턴을 형성한다(제 2 마스크). 트랜지스터 소자의 소오스 드레인 영역과 채널은 이 액티브 영역에서 형성된다. 다음에는 소오스 드레인 전극을 형성할 금속층인 크롬층(15) 및 알미늄층(16) 혹은 알미늄 네오디뮴(AlNd) 합금층을 차례로 적층한 다음 소오스 드레인 전극 패턴에 따라 전극을 식각으로 형성한다(제 3 마스크). 드레인 전극의 일부는 액티브 영역을 벗어나 형성되고 드레인과 소오스 영역의 사이에 있는 채널 영역은 금속층으로 소오스 드레인 전극을 패턴 형성한 상태에서 소오스 드레인 전극을 식각 마스크로 불순물이 도핑된 아몰퍼스 실리콘층을 계속 식각 제거함으로써 이루어진다. 이 때 아몰퍼스 실리콘막 상층부분도 함께 식각될 수 있다.

<28> 이상의 과정을 통하여 소오스 드레인 전극을 형성한 후에는 기판 전면에 보호막(17)을 적층하고 드레인 전극 위에는 보호막층에 콘택부(19)를 식각 형성한다. 게이트 패드도 대개 이때 함께 드러낸다(제 4 마스크). 다음으로 전면에 ITO 투명전극층(18)을 형성하고 패턴ニング하여 화소전극을 형성한다(제 5 마스크). 이때 트랜지스터의 드레인 전극은 소오스 전극과 같이 크롬층(15) 위에 알미늄층(16) 혹은 알미늄 네오디뮴(AlNd)을 복층으로 형성한 것이므로 콘택홀을 통해 알미늄이 드러날 경우에는 ITO 투명전극을 적층하여 콘택을 형성하기 전에 알미늄이 포함된 층을 에칭으로 제거한 다음 콘택부에 드러난 크롬층(15)과 ITO 전극층(18) 사이의 콘택이 형성되도록 하여 드레인 전극과 화소

전극을 전기적으로 접속시킨다.

- <29> 그런데 이러한 과정에서 보호막에 콘택홀을 형성하고 크롬과 ITO를 직접 연결하도록 알미늄 함유층을 에칭하는 단계에서 알미늄이 보호막 아래로 언더 컷이 이루어져 동공을 형성한다. 그리고 그 위에 ITO 투명전극층이 형성될 때 콘택 내부에서의 언더 컷 구조에 의해 투명전극층이 단락될 수 있어서, 소자의 신뢰성을 떨어뜨리는 경향이 있다
- <30> 이러한 현상을 방지하기 위한 하충 기판의 전극구조 형성방법으로 나온 것이 도2에서 나타나는 것과 같은 콘택 형성방법이다. 도2의 경우에서 기판의 전극 형성의 다른 과정은 도1에서의 전극구조 형성방법과 동일하다. 단, 콘택부(19)의 위치가 트랜지스터 상의 드레인 전극 위에 한정되지 않고 드레인 전극 영역을 벗어난 곳까지 넓게 형성된다.
- <31> 그러나 변화된 방법을 채택하는 경우에도 보호막에 넓게 드레인 전극- 화소전극 사이의 콘택을 형성하는 과정에서 게이트 패드부는 게이트 절연막까지 식각하여 전극을 드러내려고 하면 콘택 영역의 드레인 전극 바깥쪽으로는 보호막 아래의 게이트 절연막까지 과식각으로 제거되는 문제가 있다. 그리고 이때 금속층 밑으로 게이트 절연막의 언더 컷이 형성된다. 이러한 언더 컷은 다음 단계에서 ITO 투명전극층을 적층할 때 투명전극층의 단절을 일으키는 원인이 된다. 결국 이 경우에도 콘택이 형성되지 않고 소오스 전극과 화소전극이 단절되어 화소전극에 전압을 인가할 수 없게 된다. 그리고 이러한 불량은 LCD 생산에 큰 문제가 되는 것이다.

【발명이 이루고자 하는 기술적 과제】

- <32> 본 발명은 TFT LCD의 제작에서 TFT측 기판의 전극구조를 형성할 때, 마스크 5매 공

정으로 크롬-알미늄(Cr/A1) 등의 복층구조 도전층을 적어도 일부분에 가진 트랜지스터를 포함하는 LCD 기판을 형성함에 있어서, 드레인 전극과 화소전극을 전기적으로 연결하는 콘택에서 단절현상이 발생하지 않도록 구성된 박막트랜지스터와 그 형성방법을 제공하는 것을 목적으로 하며, 또한 대화면에서도 화상의 왜곡 없이 화면 신호를 전달할 수 있도록 저항이 작은 데이터 라인을 가지는 박막트랜지스터와 그 형성방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<33> 상기 목적을 달성하기 위한 본 발명의 액정표시장치 박막트랜지스터는, 기판상에 형성된 게이트 라인, 게이트 전극, 게이트 패드를 포함하는 게이트 패턴, 상기 게이트 패턴 위로 형성된 게이트 절연막, 상기 게이트 절연막 위에 형성된 반도체층으로 이루어지는 액티브 패턴, 상기 액티브 패턴 위로 제 1 금속층과 제 2 금속층이 차례로 적층되어 형성된 소오스 전극, 드레인 전극, 데이터 라인, 데이터 패드를 포함하는 소오스 드레인 전극 패턴, 상기 소오스 드레인 전극 패턴 위로 형성되는 보호막층, 상기 보호막층 위로 형성되는 화소전극 패턴을 구비하여 이루어지고, 상기 보호막층에는 드레인 전극의 적어도 바깥쪽 일부 영역 및 인접한 부분의 게이트 절연막 상면을 노출시키는 콘택홀이 형성되어 상기 화소전극은 상기 일부 영역의 제 1 금속층이 노출된 상태의 드레인 전극 상면과 상기 인접된 부분의 게이트 절연막 상면을 덮으면서 전기적으로 접속되는 것을 특징으로 한다.

<34> 이때 제 1 금속층은 반사 금속 계열로 형성되며 이 제 1 금속층이 노출된 드레인 영역은 보호막에 콘택홀을 형성한 상태에서 알미늄을 포함하는 제 2 금속층을 식각 제거하여 형성된 것이며, 액티브 패턴을 형성하는 반도체층은 아몰퍼스 실리콘으로 형성되는

경우가 많다. 또한 반도체층은 아몰퍼스 실리콘층 위에 불순물이 도핑된 아몰퍼스 실리콘층을 적층하여 형성함으로서 다음 소오스 드레인 전극층을 형성한 경우에 도핑층을 오직 콘택으로 사용하는 것이 바람직하다. 그리고 대개 각 신호라인의 패드부는 위쪽의 게이트 절연막이나 보호막층이 다 제거된 상태에서 상부의 알미늄 포함층이 있을 경우 역시 제거하고 크롬 등의 하부 금속층 패드 위에 화소전극과 함께 ITO 등이 적층된 형태를 이루게 된다.

<35> 상기 목적을 달성하기 위한 본 발명 방법의 제 1 구성의 액정표시장치 TFT측 기판의 형성방법은 종래의 5매 마스크 공정과 같이 글래스 기판에 게이트 패턴을 형성하는 단계, 그 위에 게이트 절연막, 아몰퍼스 실리콘막, 불순물이 도핑된 아몰퍼스 실리콘막을 형성한 다음 패턴닝을 통해 액티브 영역을 형성하는 단계, 크롬, 몰리브덴, 탈륨, 티타늄 등의 반사 금속 계열의 금속 혹은 그 합금층과 알미늄이나 그 합금층을 차례로 적층하여 소오스 드레인 전극층을 형성하고 패턴닝 하여 소오스 전극, 드레인 전극, 데이터 라인을 형성하고 이어서 채널을 형성하는 단계, 보호막을 적층하고 패터닝 하되 패터닝 과정에서 노광은 2단계 톤 노광을 하여 게이트 패드부는 포토레지스트를 완전히 제거하고 콘택부는 일부가 드레인 전극을 벗어나도록 정의하면서 포토레지스트의 상층만 제거하는 단계, 게이트 패드부에서 보호막과 게이트 절연막을 식각하여 패드를 드러내는 단계, 포토레지스트를 에칭하여 콘택부 보호막을 드러내는 단계, 상기 콘택부의 보호막만을 식각으로 제거하는 단계, 전면에 걸쳐 드러난 알미늄을 식각으로 제거하는 단계, 투명한 화소전극층을 적층하고 화소전극을 패터닝 하는 단계를 구비하여 이루어지는 것을 특징으로 한다.

<36> 상기 목적을 달성하기 위한 본 발명 방법의 제 2 구성은 제 1 구성에서 실리콘 산

화물과 같은 무기질 보호막 대신 감광성을 가진 유기 절연막을 사용한 경우로, 트랜지스터의 소오스 드레인 전극 및 데이터 라인 형성을 마친 다음, 유기 절연막을 적층하고 패터닝 하되 패터닝 과정에서 노광은 2단계 톤 노광을 하여 게이트 패드부는 유기 절연막을 완전히 제거하고 콘택부는 일부가 드레인 전극을 벗어나도록 정의하면서 유기 절연막의 상층만 제거하는 단계, 패드부에서 유기 절연막을 식각 마스크로 게이트 절연막을 식각하여 패드를 드러내는 단계, 유기 절연막 상층부를 에칭하여 콘택부를 드러내는 단계, 전면에 걸쳐 드러난 알미늄을 식각으로 제거하는 단계, 투명한 화소전극층을 적층하고 화소전극을 패터닝 하는 단계를 구비하여 이루어지는 것을 특징으로 한다.

<37> 상기 목적을 달성하기 위한 본 발명 방법의 제 3 구성은 글래스 기판에 게이트 패턴을 형성하는 단계, 게이트 패턴 위에 게이트 절연막, 아몰퍼스 실리콘막, 불순물이 도핑된 아몰퍼스 실리콘막 및 크롬층을 적층한 다음 노광을 실시하되 채널 영역은 2 단계 톤 노광을 통하여 상층부만 현상으로 제거하고 소오스 드레인 전극 및 데이터 라인을 제외한 영역은 포토레지스트를 전부 제거하는 단계, 잔류 포토레지스트 패턴을 식각 마스크로 크롬층 및 아몰퍼스 실리콘막에 대한 식각을 실시하는 단계, 잔류 포토레지스트 패턴 상부를 에칭하여 채널영역을 개방하는 단계, 채널 영역의 크롬층과 불순물이 도핑된 아몰퍼스 실리콘막을 식각 제거하여 채널을 완성하는 단계, 잔류 포토레지스트를 제거하는 단계, 적어도 데이터 라인을 포함하는 크롬 전극 위에 알미늄 패턴을 형성하는 단계, 보호막을 적층하고 콘택부 및 패드부를 개방하는 단계, 투명전극층으로 화소전극 패턴을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 한다.

<38> 본 발명에서 특정막으로 패턴을 형성한다는 것은 특정막을 적층하고 포토레지스트를 그 상부에 도포한 다음 패턴 마스크를 통해 노광을 하고 현상을 하여 포토레지스트

패턴을 일단 형성한 다음 이를 식각 마스크로 해당 특정막을 에칭하여 특정막으로 이루어진 패턴을 형성한다는 것이다.

<39> 화소전극으로 투명전극을 사용하는데 투명전극으로는 주로 ITO를 사용하지만 알미늄과 ITO의 접촉시 수반되는 부작용을 없애는 것이 중요한 경우에는 IZO(Indium Zinc Oxide)를 대체적으로 사용하기도 한다.

<40> 그리고 상기 구성에서 금속으로 이루어지는 소오스 드레인 전극과 채널을 형성하는 아몰퍼스 실리콘막 사이에 오믹 콘택총으로 인과 같은 불순물이 도핑된 아몰퍼스 실리콘막을 적층하는 것이 일반적이지만 반드시 이 오믹 콘택총이 개재되어야 하는 것은 아니므로 생략될 수 있다.

<41> 이하 본 발명을 도면을 참조하면서 실시예들을 통해 좀 더 살펴보기로 한다.

<42> 도3은 본 발명의 일 실시예에 따라 형성된 박막트랜지스터로 이루어지는 액정표시장치의 화소부를 나타낸 평면 레이 아웃 도면이다. 중심선으로 표시된 A-A'라인과 B-B'라인은 각각 박막트랜지스터부와 패드부를 절개하는 선으로 그 단면은 도12와 같다.

<43> 도4에서 도 12까지는 본 발명의 제 1 구성에 따르는 TFT측 LCD 기판 형성방법의 실시예를 나타낸 것이다.

<44> 우선 종래의 5매 마스크 공정에서와 같이 클래스 기판(20)에 크롬총(21)과 알미늄총(24)을 적층하고 포토레지스트를 도포한 다음 게이트 패턴 마스크를 이용하여 노광을 실시하고 현상을 통해 포토레지스트 패턴을 만든다. 이 상태에서 금속총을 차례로 식각하여 복층의 금속으로 이루어진 게이트 패턴이 도4와 같이 이루어진다. 게이트 패턴은 게이트 전극과 같이 형성되는 게이트 패드, 게이트 라인을 모두 포함하는 개념이다.

- <45> 다음으로 실리콘 나이트라이드 재질의 게이트 절연막(22), 아몰퍼스 실리콘막(23)을 적층한다. 도핑된 아몰퍼스 실리콘막은 아몰퍼스 실리콘막과 위에 형성될 전극층과의 접촉 저항을 낮추기 위한 층으로 필수 불가결한 것은 아니나 일반적으로는 아몰퍼스 실리콘막 위에 함께 형성된다. 이상 형성된 막들 위에 포토리소그래피를 이용하여 도5와 같이 액티브 영역을 이루는 아몰퍼스 실리콘막 패턴을 형성한다.
- <46> 도6은 도5의 상태에서 크롬층(25)과 알미늄층(26)을 차례로 적층하고 소오스와 드레인 전극을 형성한 것을 나타낸다. 이를 전극의 포토레지스트 패턴에 따라 우선 두 금속층이 차례로 식각되고 불순물이 도핑된 아몰퍼스 실리콘막이 있다면 형성된 금속 패턴이 식각 마스크의 역할을 하면서 아몰퍼스 실리콘층의 상부까지 식각으로 제거하여 트랜지스터의 전극과 채널이 형성된다. 그리고 소오스 전극의 경우 일부가 반도체로 이루어진 액티브 영역을 벗어나도록 형성되어 있다.
- <47> 도7은 도6의 트랜지스터 구조 위에 전면적으로 보호막(27)과 포토레지스트(28)를 도포하고 소오스와 화소전극을 연결시키기 위한 콘택부(29)에는 슬릿이나 반투명의 마스크 패턴을 이용하여 그리고 패드부(30)에는 투명 패턴을 이용하여 노광하고 현상함으로써 패드부는 개방되고 콘택부는 포토레지스트 상부만 제거된 상태를 나타낸다.
- <48> 도8은 도7의 개방된 패드부에서 보호막 식각을 실시하는 것을 나타낸다. 이때 게이트 절연막도 함께 식각되어 패드 금속이 드러나게 된다.
- <49> 도9는 포토레지스트층에 대한 식각을 통해 포토레지스트 상층이 제거된 상태를 나타낸다. 이 과정을 통하여 콘택부(29)의 포토레지스트는 모두 제거되어 콘택부는 보호막이 드러나 있고 패드부(30)와 콘택부(29)를 제외한 영역에서는 단지 포토레지스트의 두께가 얇아졌을 뿐이다.

- <50> 도10은 도9의 상태에서 콘택부의 보호막을 제거한 상태를 나타내는 도면이다.
- <51> 도11은 콘택을 형성하기 위해 ITO를 적층하기 전에 ITO와 만날 경우 계면에 산화막을 형성시켜 접촉부의 도전성을 악화시키는 일이 없도록 콘택부에서 알미늄층(26)을 먼저 제거한 상태를 나타낸다. 식각액에 의한 등방성 식각의 특징으로 보호막(27) 아래 알미늄층(26)에는 언더 컷이 형성되어 있고 콘택부(29)와 패드부(30)의 알미늄은 식각으로 제거되어 크롬층(25, 21)이 드러나 있다.
- <52> 도12는 도11의 상태에서 화소전극을 이를 투명전극층을 적층하고 패터닝 하여 화소전극을 형성하여 박막트랜지스터 구성을 이룬 상태를 나타낸다. 콘택부에서는 도1, 도2와 같은 종래의 경우와 달리 언더 컷이 없고 단차가 심하지 않아 소오스와 화소전극 사이의 단절로 화소전극에 전압이 인가되지 않는 현상을 없앨 수 있다. 패드부(30)의 크롬층(21) 위에도 투명전극층(31)이 덮여져 크롬층(21)의 손상을 방지할 수 있게 된다.
- <53> 도 13에서 도16까지는 본 발명의 제 2 구성에 따른 TFT측 LCD 기판 형성방법의 실시예를 나타낸 것으로 도13 이전 단계는 도4에서 도6까지와 같다.
- <54> 도13은 글래스 기판에 트랜지스터 전극과 채널을 형성한 다음 보호막과 포토레지스트를 적층하는 대신 감광성 유기 절연막(32)을 도포하고 2단계 톤으로 노광하고 현상한 상태를 나타낸다. 도6에서와 같이 콘택부(29)는 일부가 소오스 전극을 벗어나게 정의 되며 슬릿이나 반투명 패턴으로 중간 톤으로 노광되고 패드부(30)는 투명 패턴으로 노광된다. 따라서 패드부(30)는 현상한 다음 유기 절연막(32)이 모두 제거되어 있고 콘택부(29)는 보호막을 대체하는 유기 절연막(32)이 상층부만 제거되어 있다.
- <55> 도14는 도13에서 노출된 패드부(30)의 게이트 절연막(22)을 식각한 상태를 도15는

도14의 상태에서 유기 절연막(32)에 대한 전반적 에칭을 실시하여 콘택부(29)를 개방시킨 상태를 나타낸다.

<56> 도16은 도15의 개방된 콘택에서 소오스 전극의 상층 알미늄층(26)을 식각으로 제거하고 드러난 크롬층(25) 위로 투명전극층(31) 패턴을 형성하여 박막 트랜지스터 구성을 이룬 상태를 나타낸다. 이 경우에도 콘택부 내에 언더컷이 발생하지 않으므로 별 다른 문제없이 소오스와 투명전극의 콘택이 형성될 수 있다.

<57> 도24를 제외한 도17에서 도26은 본 발명의 제 3 구성 방법에 따른 실시예를 나타내는 도면이다. 도17은 클래스 기판(40)에 크롬층(41)과 알미늄층(44)으로 게이트 패턴을 형성한 상태를 나타내는 도면이다.

<58> 도 18은 도 17의 게이트 패턴 위로 게이트 절연막(42), 아몰퍼스 실리콘막(43), 소오스 드레인 전극을 위한 크롬층(45)을 차례로 적층한 상태를 나타내는 도면이다. 아몰퍼스 실리콘막(43)에 불순물이 도포된 아몰퍼스 실리콘막이 더 적층될 수도 있다.

<59> 도 19는 도 18의 상태에서 포토레지스트(52)를 도포하고 2단계 톤으로 노광하고 현상한 상태를 나타낸다. 이때 채널 영역(53)에는 중간 톤으로 노광을 하고 소오스 드레인 전극과 데이터 라인 영역 외에는 완전 노광을 하며, 그 결과 채널에는 포토레지스트가 중간 두께로 남게 된다.

<60> 도 20은 도 19의 상태에서 포토레지스트(52) 패턴을 식각마스크로 전극을 이를 크롬막(45)과 아몰퍼스 실리콘막(43)을 식각한 결과를 나타낸 도면이다. 게이트 절연막(42)은 전체적으로 남아 있게 된다.

<61> 도 21은 도 20의 상태에서 포토레지스트(52) 패턴을 전반적으로 에칭하여 채널 영

역(53)부분 즉 중간 톤으로 노광된 부분을 제거함으로써 개방시킨 상태를 나타낸다.

<62> 도 22는 도 21의 잔여 포토레지스트(52) 패턴을 식각 마스크로 일단 채널 영역(53) 크롬층(45)을 제거한 다음 불순물이 도핑된 아몰퍼스 실리콘막이 있는 경우에는 이 막까지 식각으로 제거한 상태를 나타낸다. 이로써 트랜지스터에서 소오스 드레인 전극과 채널의 구조가 완성된다.

<63> 도 23은 도 22에서 잔여 포토레지스트(52)를 제거한 상태를 나타내는 도면이다.

<64> 도 24는 도 23에서 드레인 전극(56)과 이어지는 데이터 라인(57) 위에 알미늄 패턴(58)을 형성한 상태를 나타내는 화소 일부 평면도이다. 알미늄 패턴이 화소와 만나는 전극부를 제외한 데이터 라인 위에 형성된다고 하면 단면도에서는 나타나지 않게 된다. 즉 도 23과 동일한 형태가 된다. 이후 도면은 알미늄 패턴이 나타나지 않은 상태로 진행한다.

<65> 도 25는 도 23에서 도시되지 않는 알미늄 패턴을 형성한 상태로 그 위에 보호막(47)을 적층하고 게이트 패드부(50)와 콘택부(49)를 개방한 상태를 나타내는 도면이다.

<66> 도 26은 도 25의 상태에서 패드부(50)의 알미늄층은 식각으로 제거하고 투명전극층(51)으로는 ITO를 사용하여 화소전극을 형성한 상태를 나타낸다. 콘택부에서는 소오스, 전극의 크롬층 위에 알미늄막이 적층되지 않았기 때문에 알미늄을 제거할 필요는 없으며 데이터 라인에서는 전도성이 좋은 알미늄 패턴이 크롬막 위에 적층되므로 데이터 신호를 전달하고 인가할 때 신호 왜곡이 일어나지 않는다. 그리고 패드부에서는 알미늄이 식각되어 있으므로 ITO를 적층 패터닝할 때 문제가 없고 크롬층 위에 ITO가 덮여 크롬 패드의 안정성을 높여준다.

<67> 본 예에서는 투명전극층으로 ITO를 사용한 경우를 나타내고 있으나 IZO 투명전극층을 사용할 수도 있으며 이 경우 전도성이나 투명도는 떨어지지만 화소전극을 형성하기 위해 알미늄층을 일부러 식각하여 제거하는 공정이 없어질 수 있다. 또한 본 예에서는 데이터 라인에만 알미늄 패턴을 형성하였으나 소오스 드레인 전극에도 알미늄 패턴을 형성하여 사용할 수 있을 것이다.

【발명의 효과】

<68> 본 발명에 따르면 트랜지스터의 전극을 복층 금속층을 사용하여 단일 막에서 문제가 될 수 있는 접촉면에서의 부착력이나 전기 전도성, 특히 Al막과 ITO막이 접할때의 식각액에 의한 문제나 계면에서의 전기 접속의 악화 같은 문제를 해결할 수 있고 데이터 라인 같은 신호 라인이 길어지면서 신호 라인의 저항 증가로 신호가 왜곡되는 현상을 충분한 전기전도성을 주어 해결할 수 있게 된다.

【특허청구범위】**【청구항 1】**

클래스 기판에 게이트 패턴을 형성하는 단계,

상기 게이트 패턴 위로 게이트 절연막, 아몰퍼스 실리콘막을 형성한 다음 패턴닝을 통해 액티브 영역을 형성하는 단계,

크롬층과 알미늄층을 차례로 적층한 다음 패턴닝 하여 소오스 전극, 드레인 전극, 레이터 라인을 형성하고 채널을 형성하는 단계,

보호막을 적층하고 패터닝 하되 패터닝 과정에서 노광은 2단계 톤 노광을 하여 게이트 패드부는 포토레지스트를 완전히 제거하고, 콘택부는 일부가 소오스 전극을 벗어나도록 정의하면서 포토레지스트의 상층만 제거하는 단계,

상기 게이트 패드부에서 상기 보호막과 상기 게이트 절연막을 식각하여 패드를 드러내는 단계,

잔여 포토레지스트를 전체적으로 에칭하여 콘택부 보호막을 드러내는 단계,

상기 콘택부의 보호막만을 식각으로 제거하는 단계,

전면에 걸쳐 알미늄막을 식각으로 제거하는 단계 및

투명 전극층을 적층하고 패터닝하여 화소전극을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 2】

제 1 항에 있어서

상기 아몰퍼스 실리콘막 적층 후에 불순물이 도핑된 도전성 아몰퍼스 실리콘막을 적층하는 단계 및

상기 소오스 전극, 드레인 전극, 데이터 라인을 형성하는 단계에서 상기 알미늄막과 크롬막을 식각한 다음 상기 도전성 아몰퍼스 실리콘막에 대한 식각이 이루어지는 단계를 더 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 투명 전극층은 ITO로 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 4】

글래스 기판에 게이트 패턴을 형성하는 단계,

상기 게이트 패턴 위로 게이트 절연막, 아몰퍼스 실리콘막을 형성한 다음 패턴닝을 통해 액티브 영역을 형성하는 단계,

상기 액티브 영역 위로·크롬층과 알미늄층을 차례로 적층한 다음 패턴닝 하여 소오스 전극, 드레인 전극, 데이터 라인을 형성하고 채널을 형성하는 단계,

감광성 유기 절연막을 적층하고 패터닝 하되 패터닝 과정에서 노광은 2단계 톤 노광을 하여 게이트 패드부는 상기 유기 절연막을 완전히 제거하고 콘택부는 유기 절연막의 상층부만 제거하며 상기 콘택부는 일부가 소오스 전극을 벗어나도록 패터닝하는 단계,

상기 패드부에서 상기 게이트 절연막을 식각하여 패드를 드러내는 단계,
상기 유기 절연막을 전반적으로 에칭하여 상층부를 제거함으로써 상기 콘택트부를 드
러내는 단계,

전면에 걸쳐 상기 알미늄층을 식각으로 제거하는 단계 및
투명 전극층을 적층하고 패터닝 하여 화소전극을 형성하는 단계를 구비하여 이루어
지는 것을 특징으로 하는 액정표시장치의 TFT측 기판 형성방법.

【청구항 5】

제 4 항에 있어서,
상기 아몰퍼스 실리콘막 적층 후에 불순물이 도핑된 도전성 아몰퍼스 실리콘막을
적층하는 단계 및

상기 소오스 전극, 드레인 전극, 데이터 라인을 형성하는 단계에서 상기 알미늄막
과 크롬막을 식각한 다음 상기 도전성 아몰퍼스 실리콘막에 대한 식각이 이루어지는 단
계를 더 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방
법.

【청구항 6】

제 4 항 또는 제 5 항에 있어서,
상기 투명 전극층은 ITO로 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측
기판의 형성방법

【청구항 7】

글래스 기판에 게이트 패턴을 형성하는 단계,

상기 게이트 패턴 위에 게이트 절연막, 아몰퍼스 실리콘막 및 크롬막을 적층한 다음 패터닝을 하되 2 단계 톤 노광을 이용하여 포토레지스트 패턴은 채널 영역에서는 중간 두께로, 소오스 드레인 전극 및 데이터 라인에서는 전체 두께를 남기는 단계,

상기 포토레지스트 패턴을 식각 마스크로 크롬막에 대한 식각을 실시하는 단계,

상기 포토레지스트 패턴의 상층부를 에칭으로 제거하여 채널 영역을 개방하는 단계,

상기 채널 영역의 크롬층을 식각 제거하여 채널을 완성하는 단계,

잔류 포토레지스트를 제거하는 단계,

적어도 데이터 라인을 포함하는 크롬 패턴 위에 알미늄 패턴을 형성하는 단계,

보호막을 적층하고 콘택트부 및 패드부를 개방하는 단계 및

투명 전극층으로 화소전극 패턴을 형성하는 단계를 구비하여 이루어지는 것을 특징으로 하는 액정표시장치의 TFT측 기판 형성방법.

【청구항 8】

제 7 항에 있어서,

상기 아몰퍼스 실리콘막을 적층한 다음 불순물이 도핑된 도전성의 아몰퍼스 실리콘층을 더 적층하고, 상기 채널 영역에서 상기 크롬층을 제거할 때 상기 도전성의 아몰퍼스 실리콘층도 연속하여 제거하는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 9】

제 7 항 또는 제 8 항에 있어서,

상기 크롬층 위에 패터닝되는 상기 알미늄층은 드레인 전극 및 소오스 전극 위에도 형성되며, 상기 투명 전극층으로는 IZO(Indium Zinc Oxide)를 사용하는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 10】

제 7 항 또는 제 8 항에 있어서,

상기 알미늄층은 상기 소오스 전극 위에는 형성되지 않고 상기 투명 전극으로는 ITO를 사용하는 것을 특징으로 하는 액정표시장치의 TFT측 기판의 형성방법.

【청구항 11】

기판상에 형성된 게이트 라인, 게이트 전극, 게이트 패드를 포함하는 게이트 패턴,

상기 게이트 패턴 위로 형성된 게이트 절연막,

상기 게이트 절연막 위에 형성된 반도체층으로 이루어지는 액티브 패턴,

상기 액티브 패턴 위로 제 1 금속층과 제 2 금속층이 차례로 적층되어 형성된 소오스 전극, 드레인 전극, 데이터 라인, 데이터 패드를 포함하는 소오스 드레인 전극 패턴,

상기 소오스 드레인 전극 패턴 위로 형성되는 보호막층 및

상기 보호막층 위로 형성되는 화소전극 패턴을 구비하여 이루어지고,

상기 보호막층에는 드레인 전극의 적어도 바깥쪽 일부 영역 및 인접한 부분의 게이트 절연막 상면을 노출시키는 콘택홀이 형성되어

상기 화소전극은 상기 일부 영역의 제 1 금속층이 노출된 상태의 드레인 전극 상면

과 상기 인접된 부분의 게이트 절연막 상면을 덮으면서 전기적으로 접속되는 것을 특징으로 하는 액정표시장치의 박막트랜지스터.

【청구항 12】

제 11 항에 있어서,

상기 액티브 패턴을 형성하는 반도체층은 아몰퍼스 실리콘으로 형성되는 것임을 특징으로 하는 액정표시장치의 박막트랜지스터.

【청구항 13】

제 11 항에 있어서,

상기 반도체층은 아몰퍼스 실리콘층 위에 불순물이 도핑된 아몰퍼스 실리콘층을 적층한 것임을 특징으로 하는 액정표시장치의 박막트랜지스터.

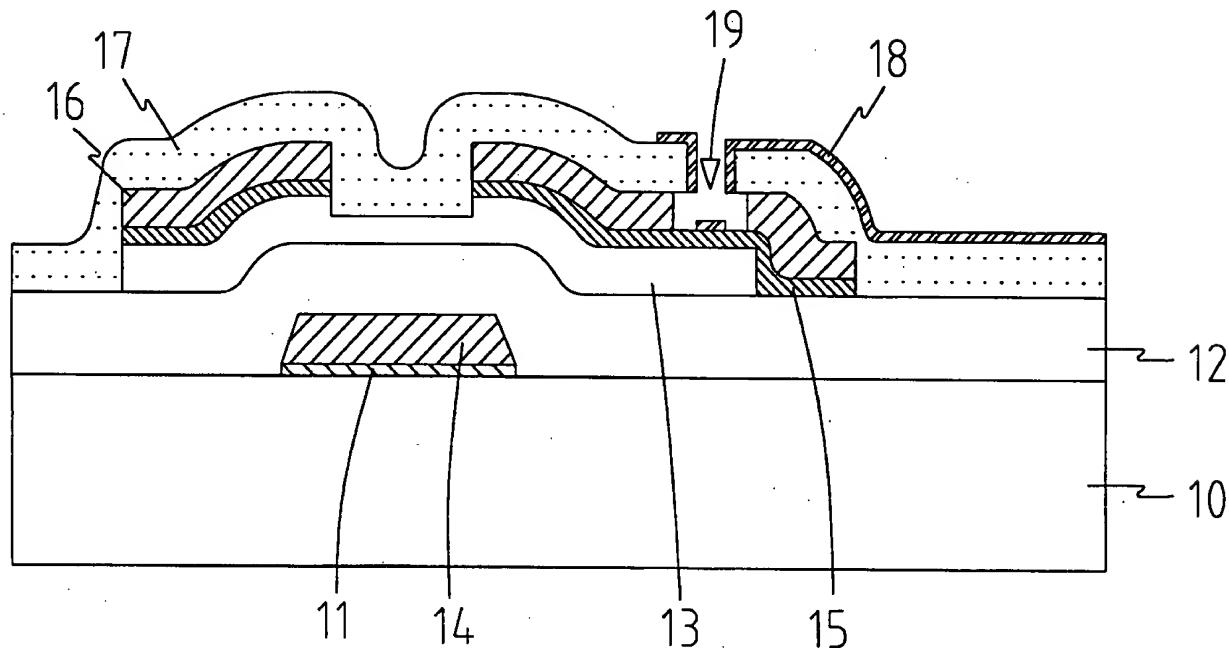
【청구항 14】

제 11 항 내지 제 13 항 가운데 어느 한 항에 있어서,

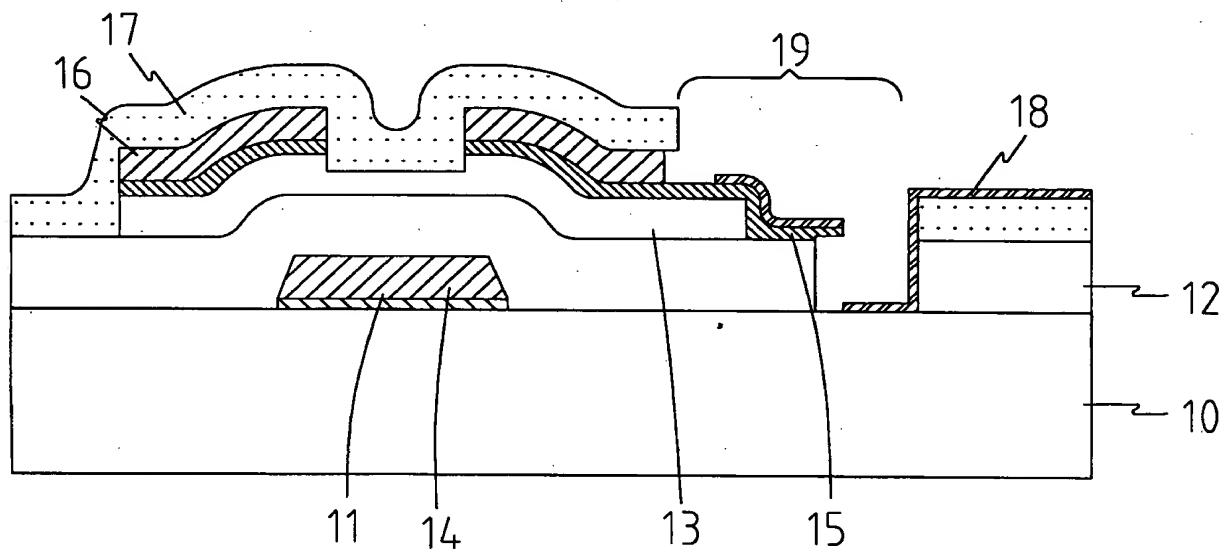
상기 게이트 패드 및 상기 데이터 패드는 위쪽의 절연성막이 모두 제거된 상태에서 상층의 알미늄 포함층을 제거하고 반사 금속 계열의 금속층 패드 위에 화소전극과 동일한 재질이 적층된 형태를 이루는 것임을 특징으로 하는 액정표시장치의 박막트랜지스터.

【도면】

【도 1】



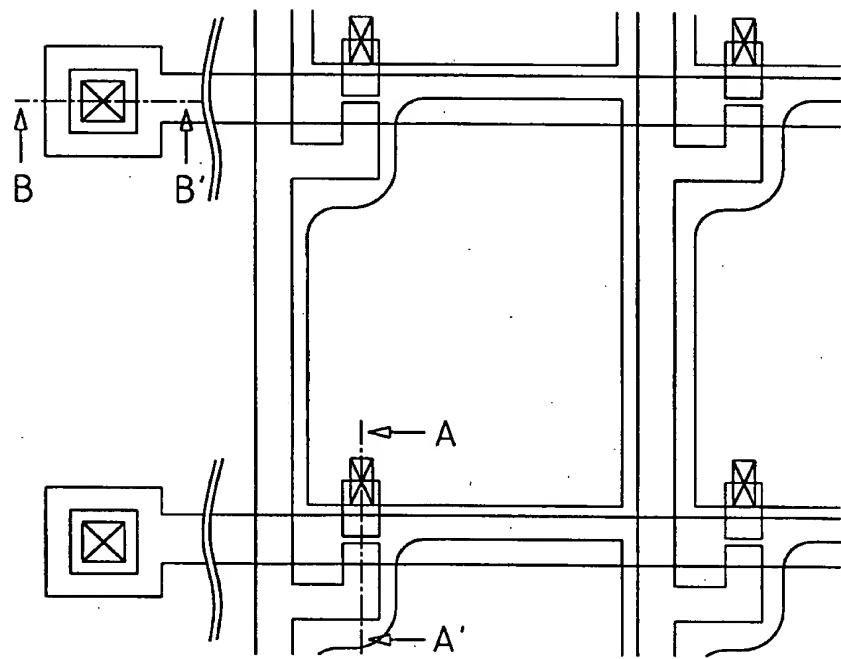
【도 2】



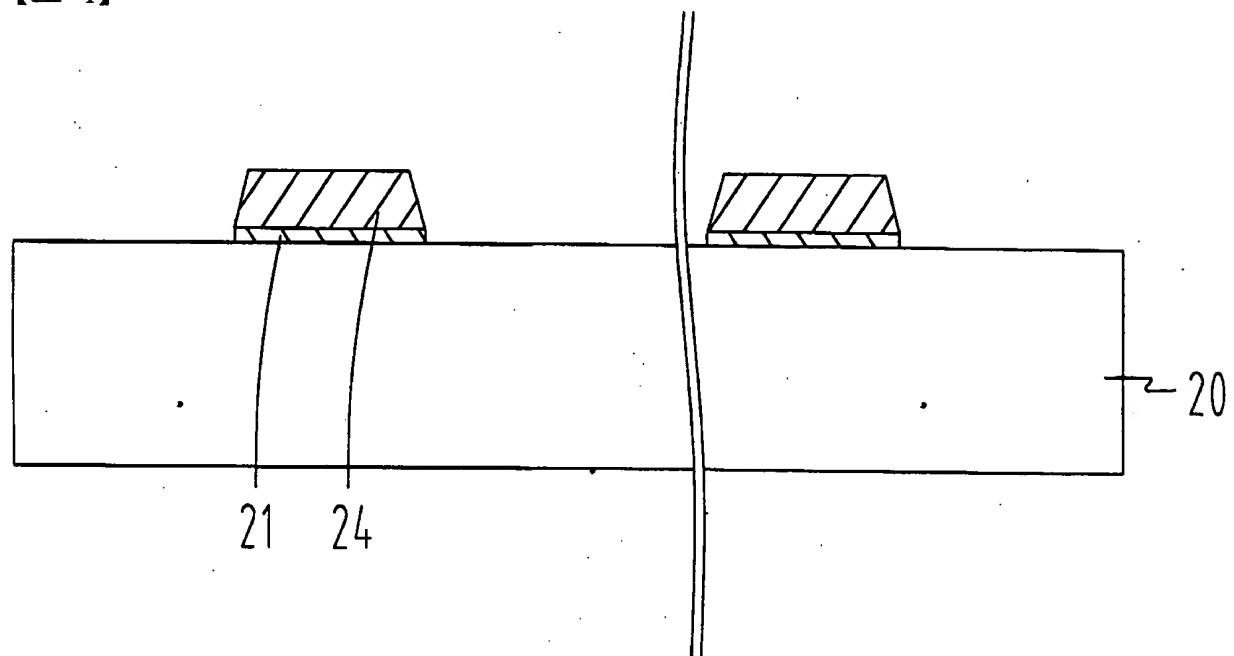
1019990027140

2000/9/2

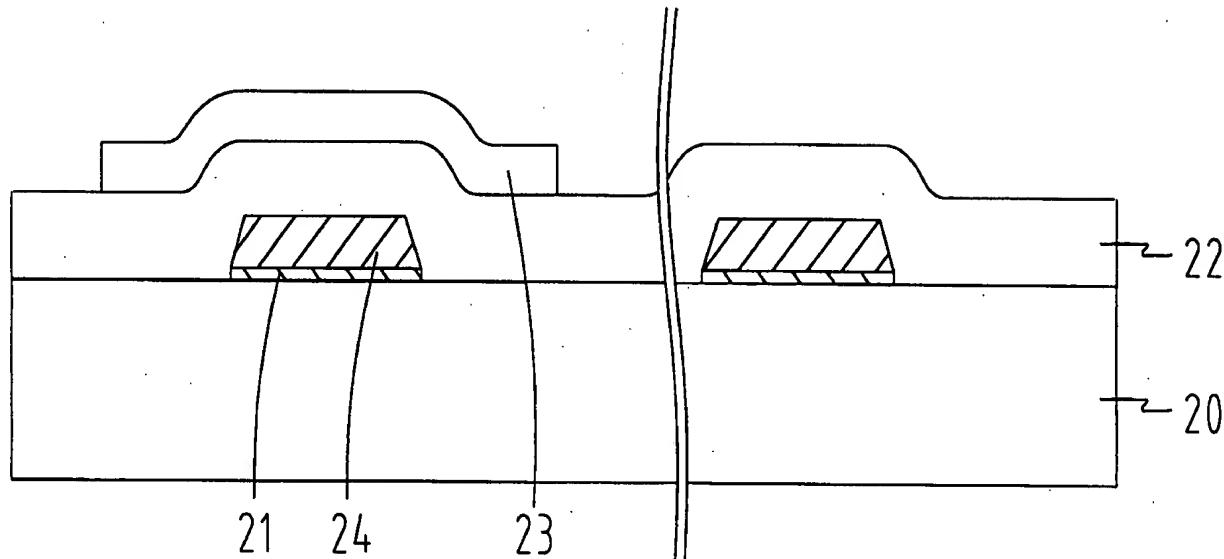
【도 3】



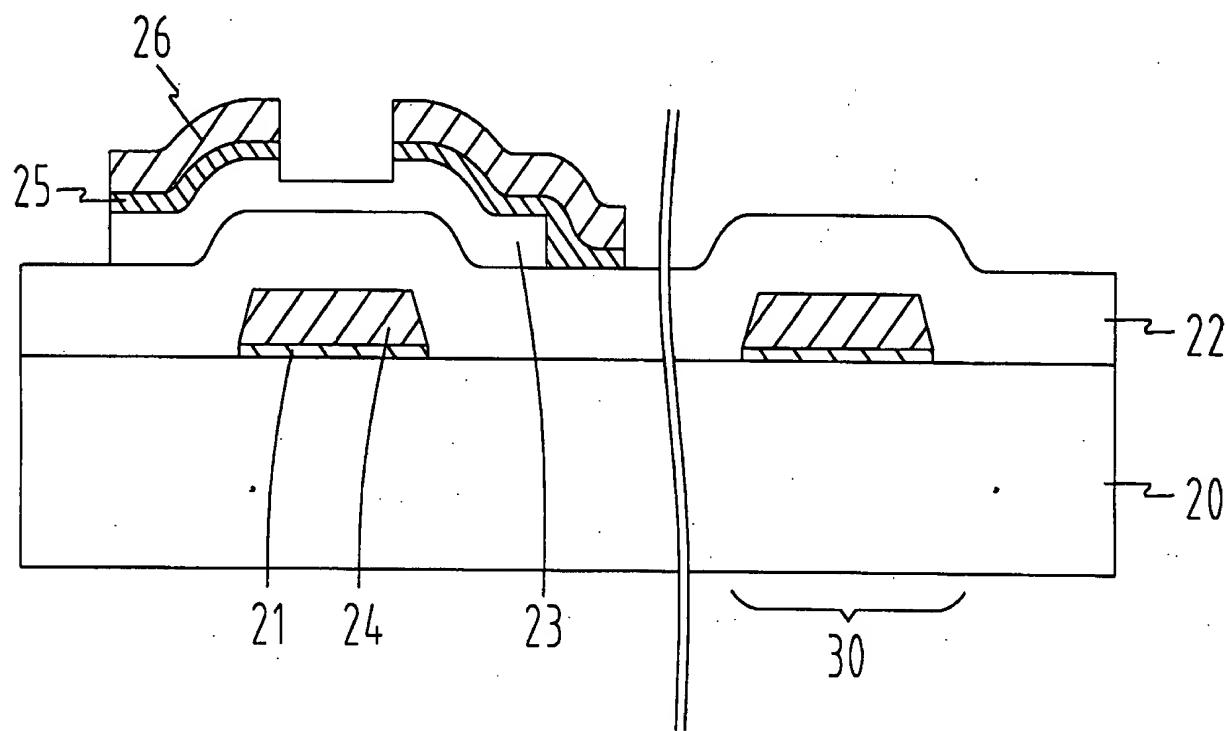
【도 4】



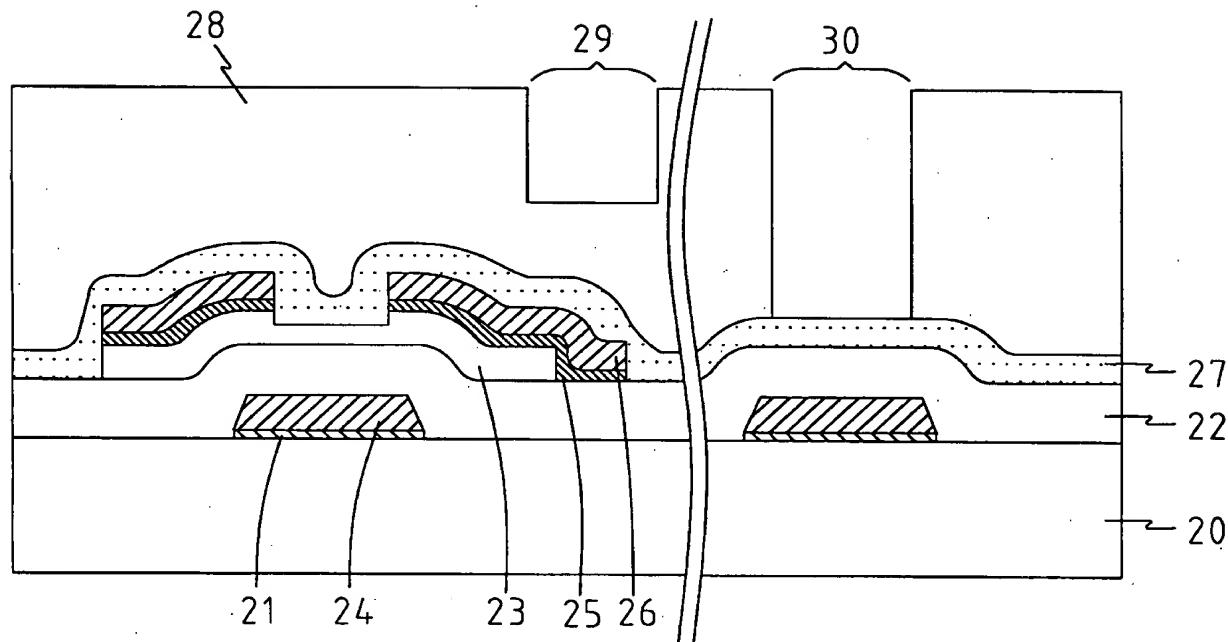
【도 5】



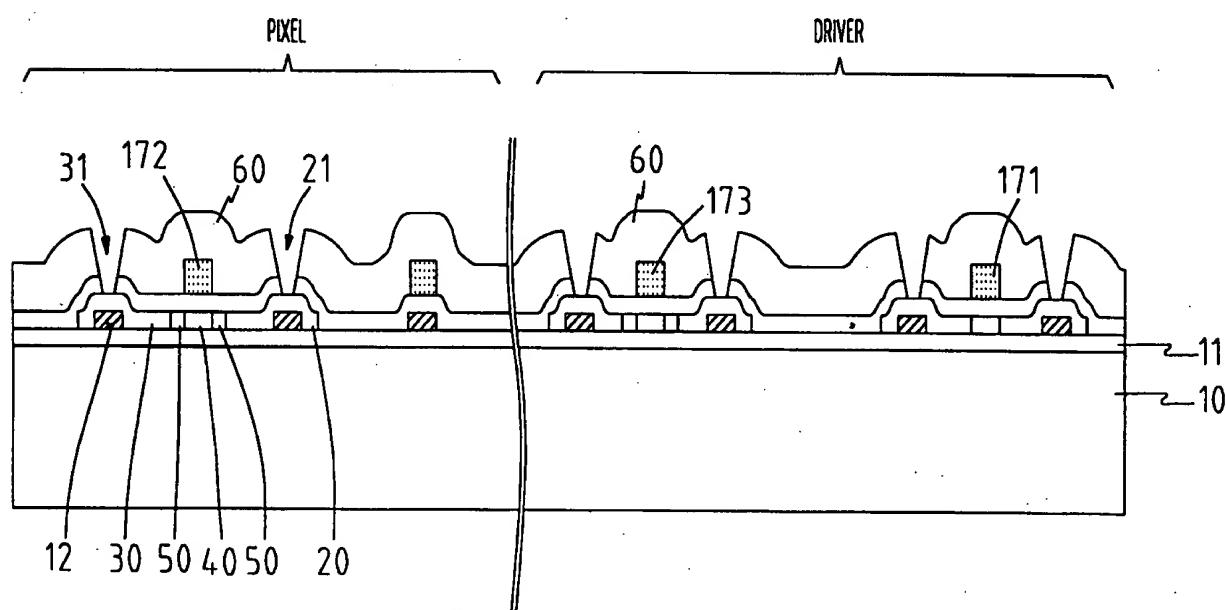
【도 6】



【도 7】



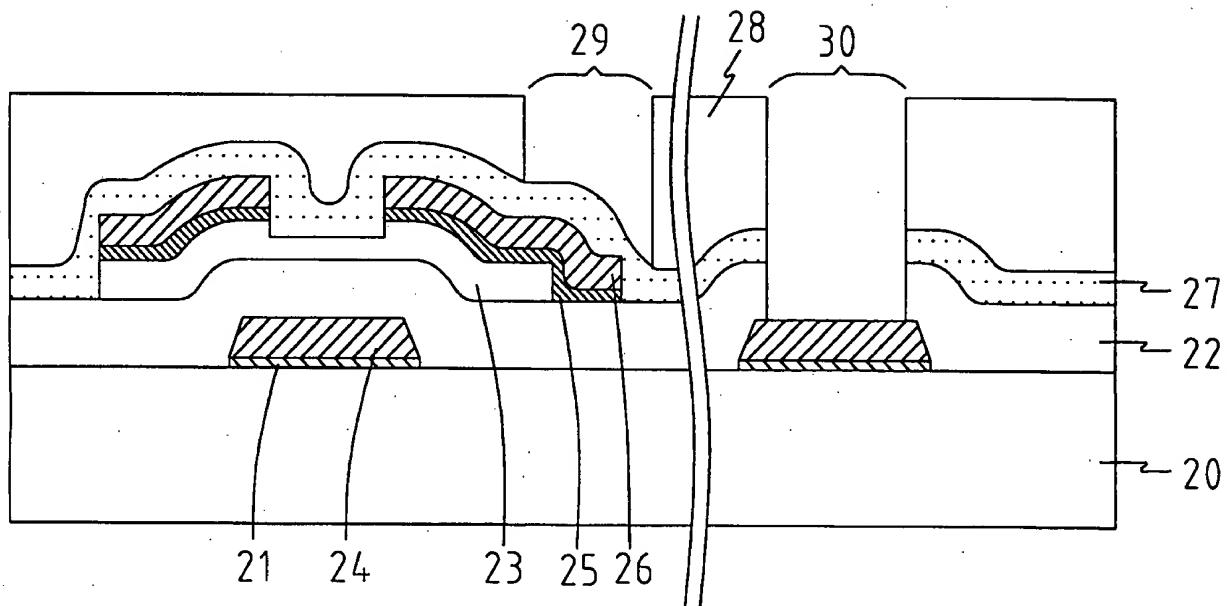
【도 8】



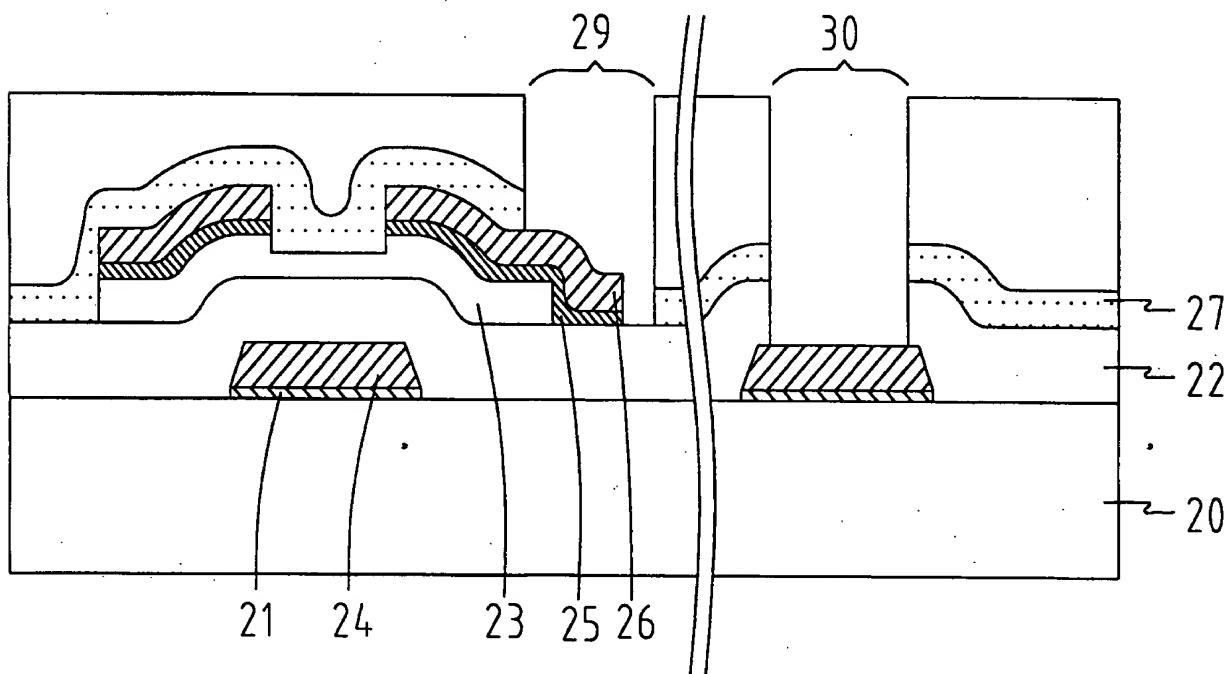
1019990027140

2000/9/2

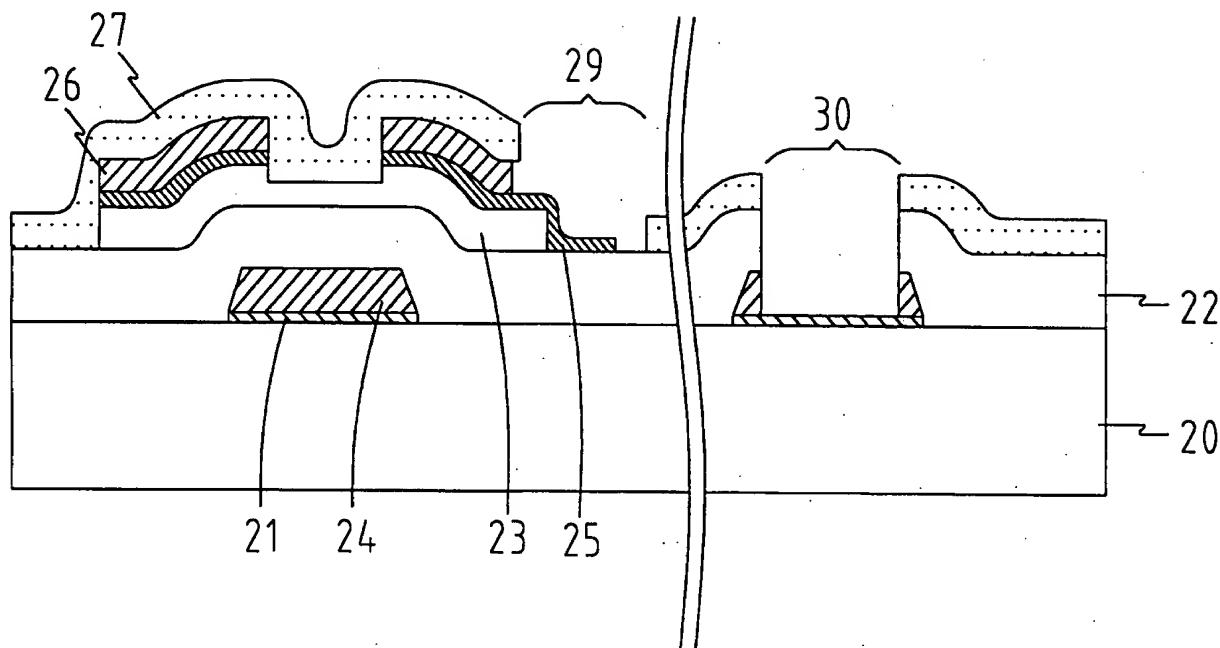
【도 9】



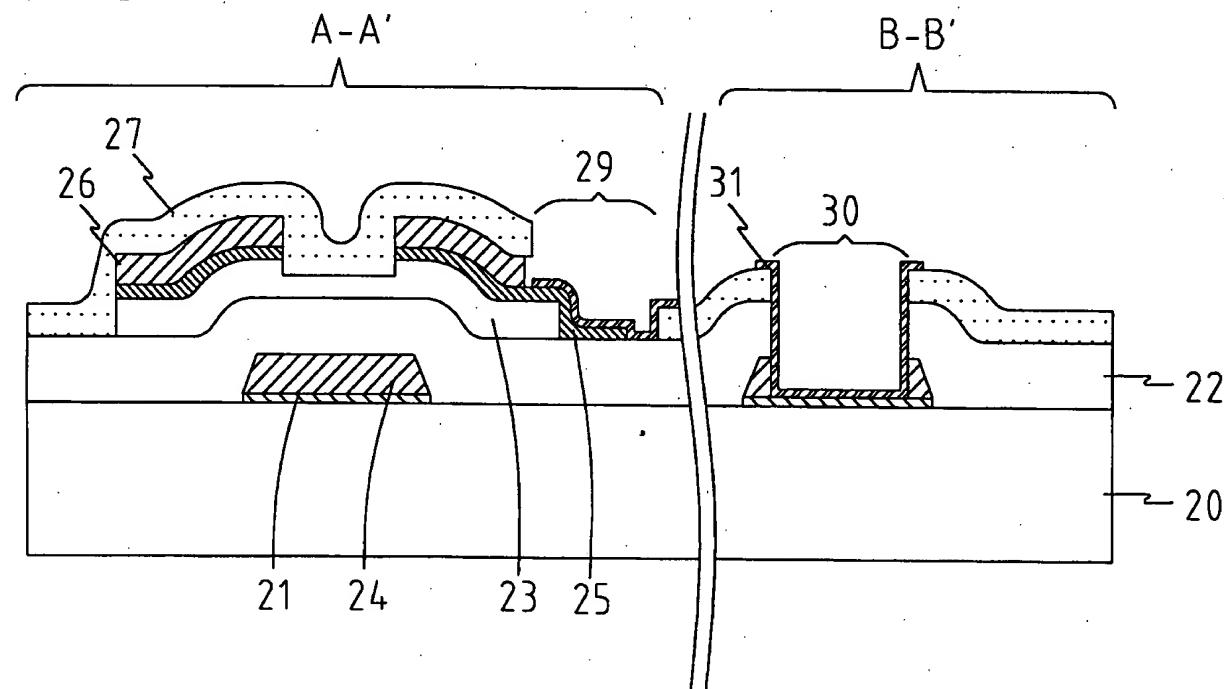
【도 10】



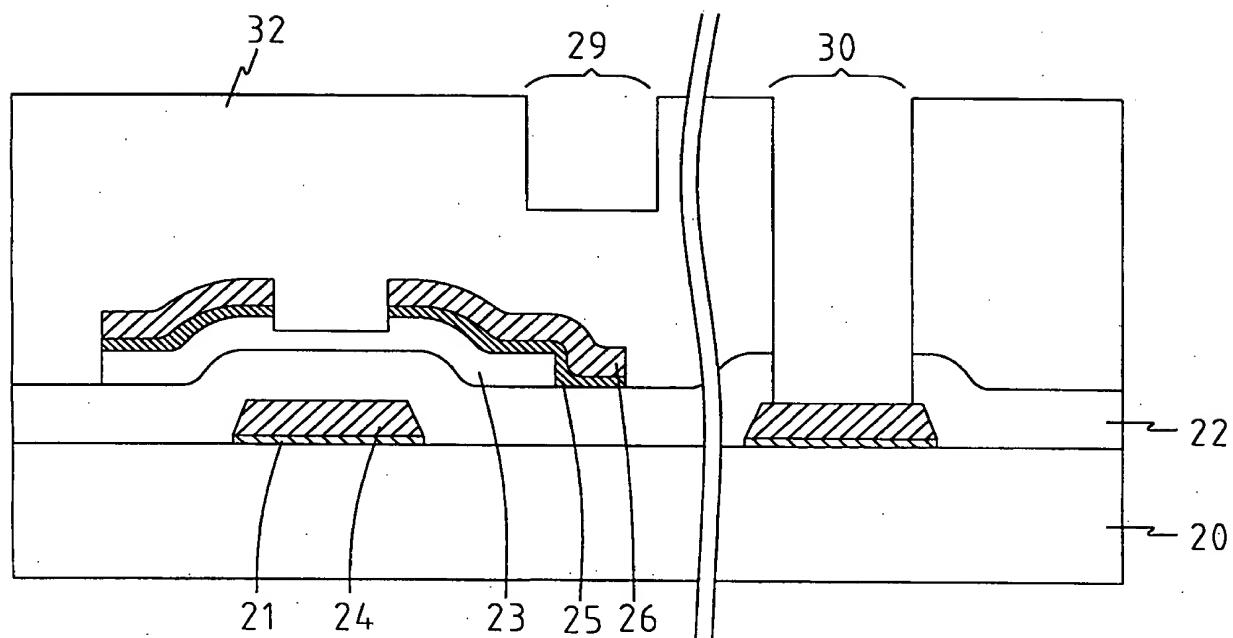
【图 11】



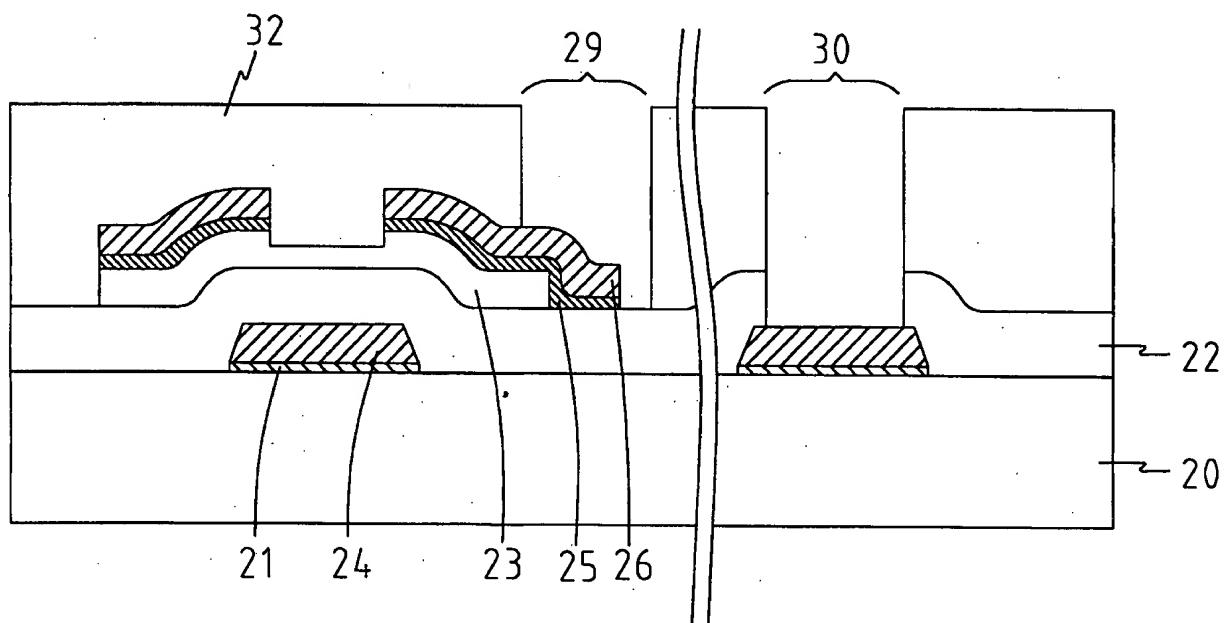
【图 12】



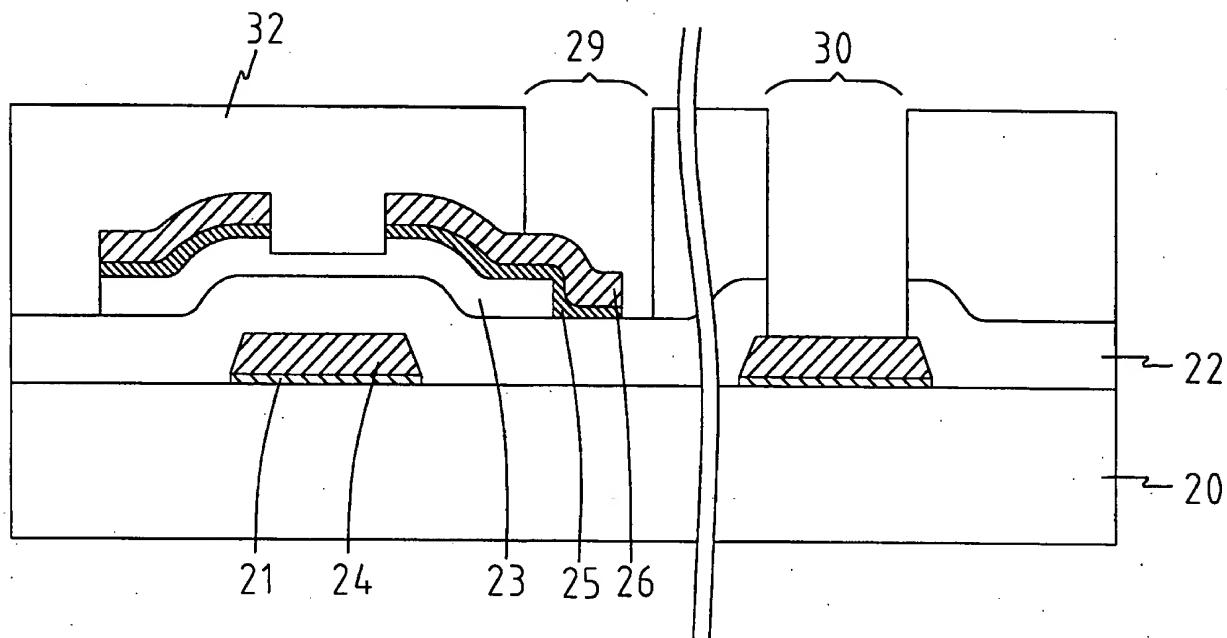
【도 13】



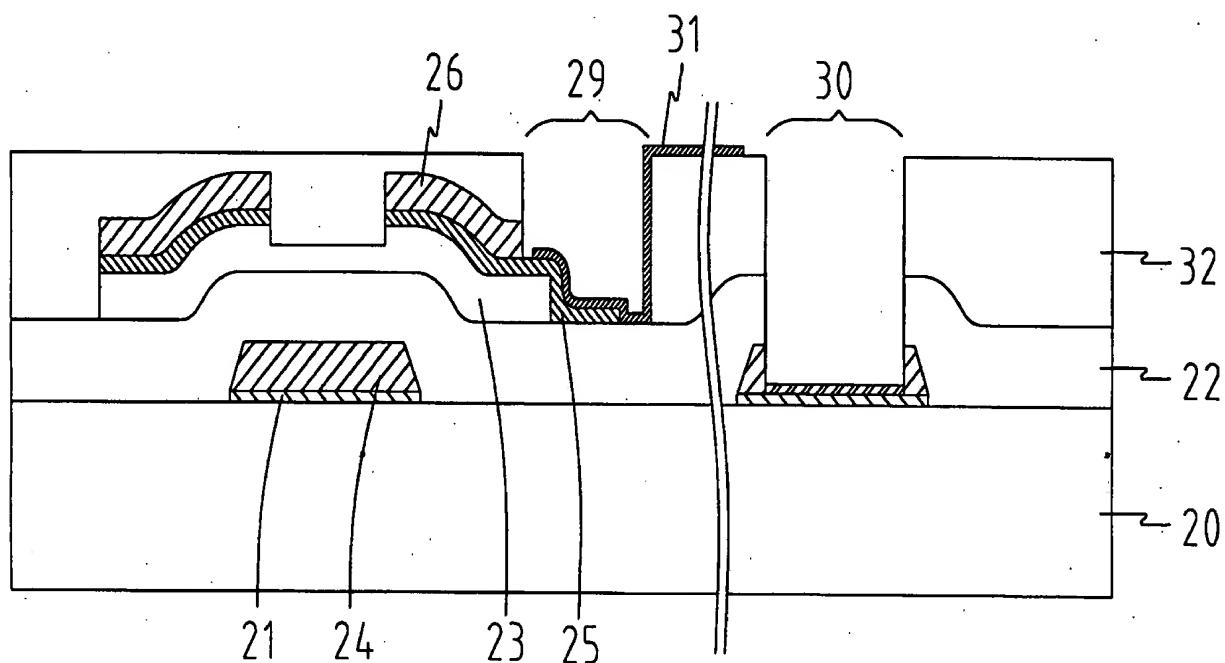
【도 14】



【도 15】



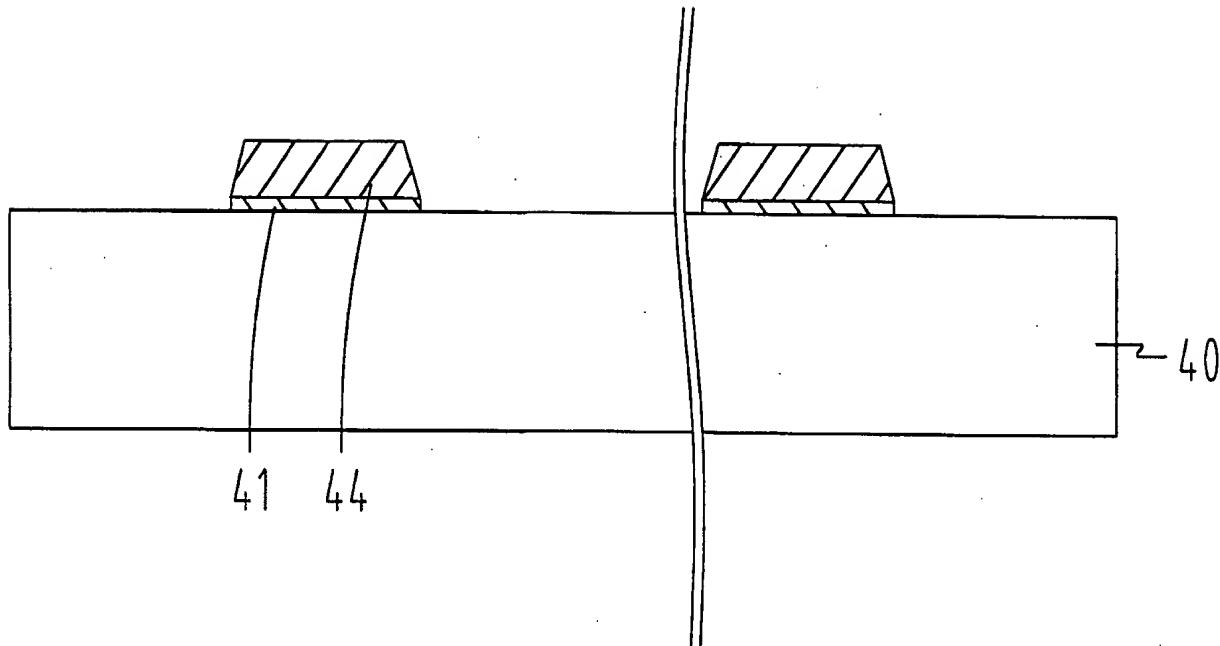
【도 16】



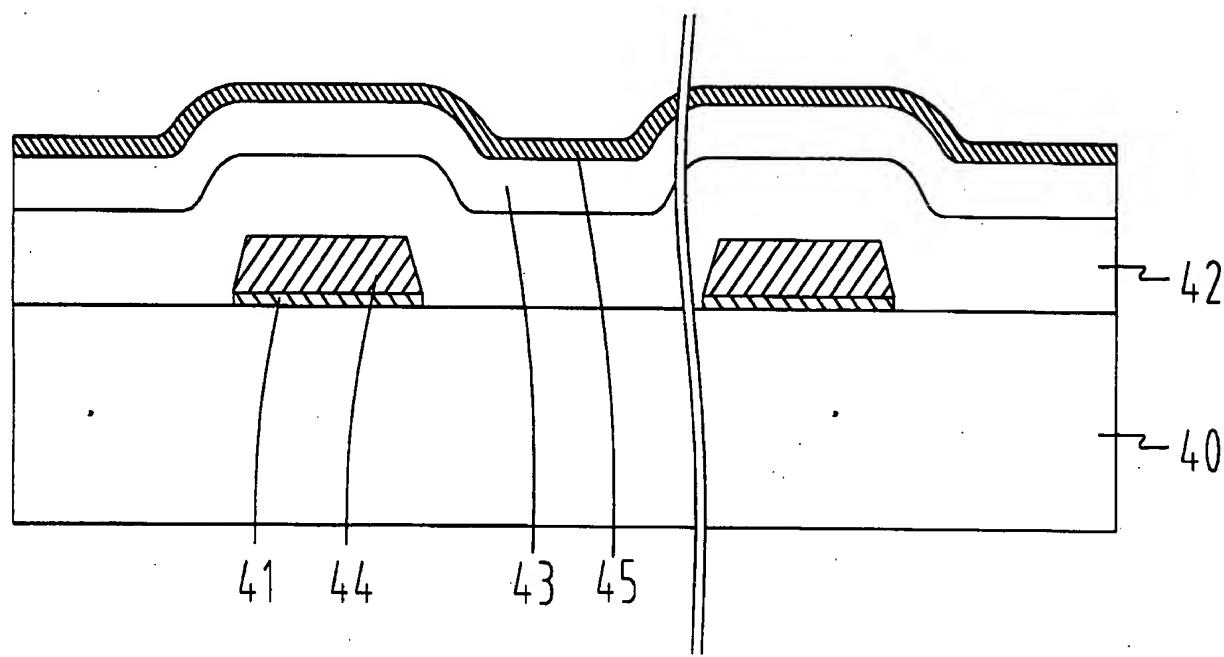
1019990027140

2000/9/2

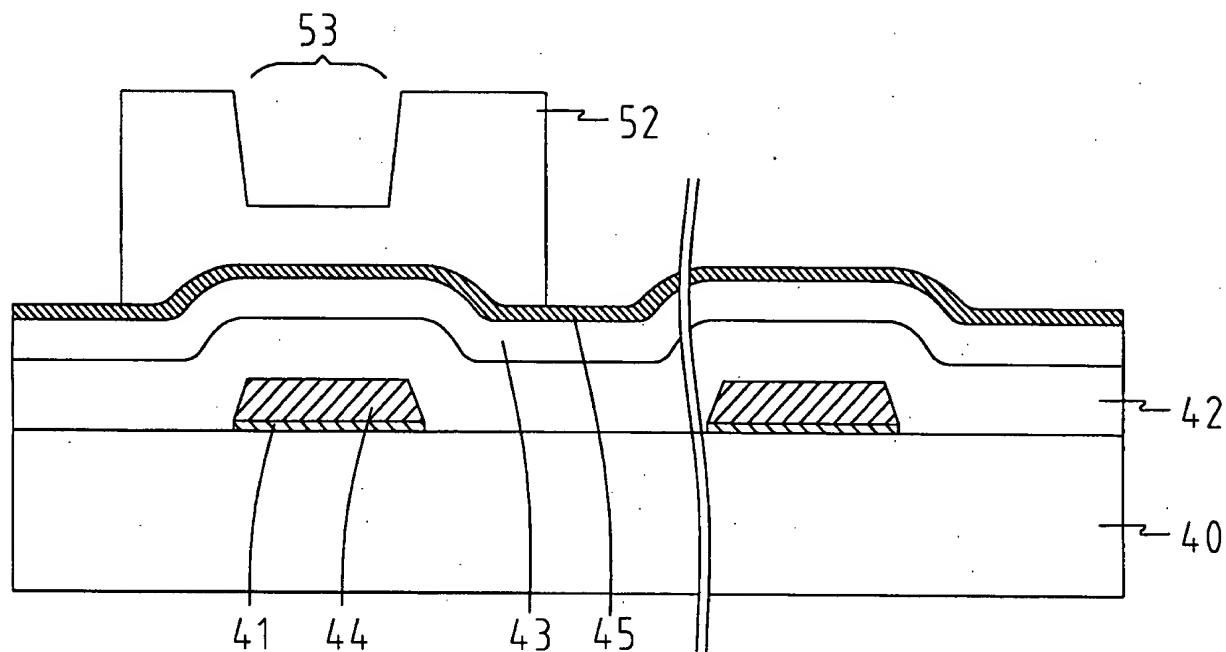
【도 17】



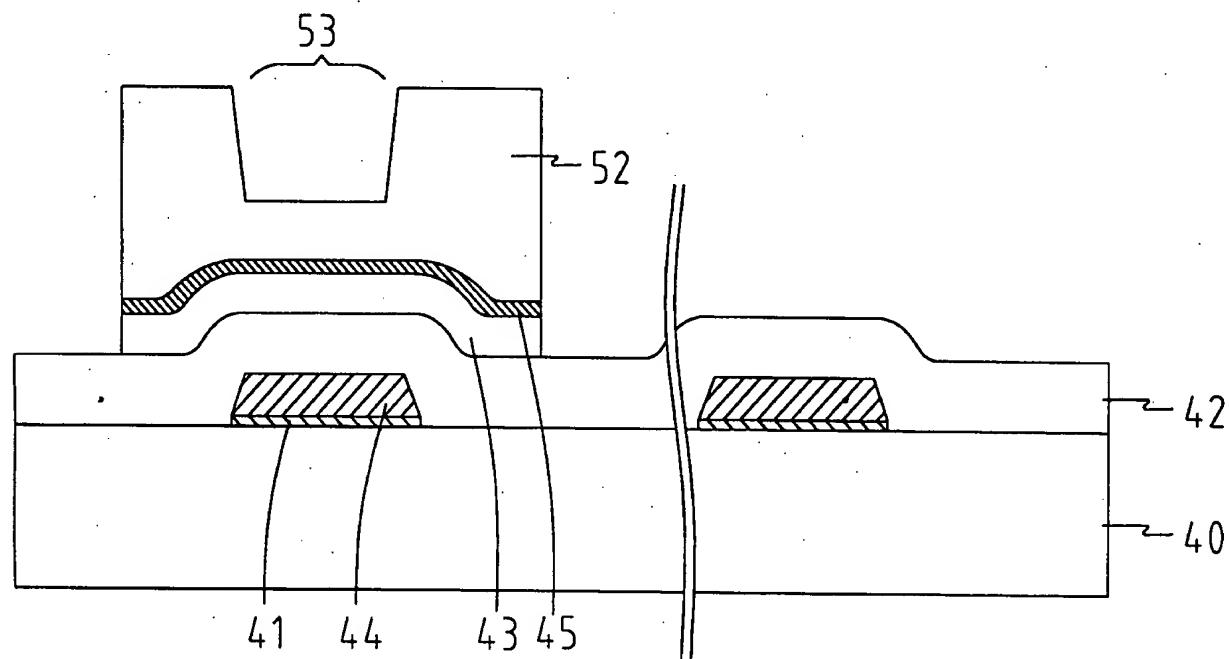
【도 18】



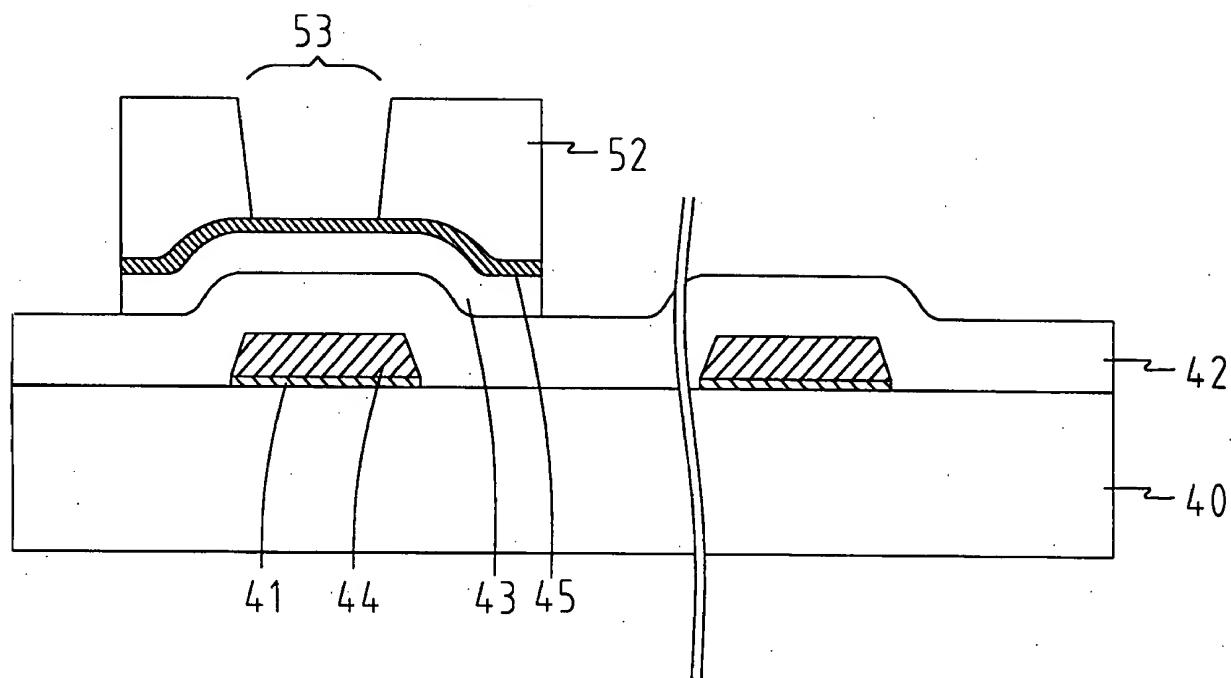
【도 19】



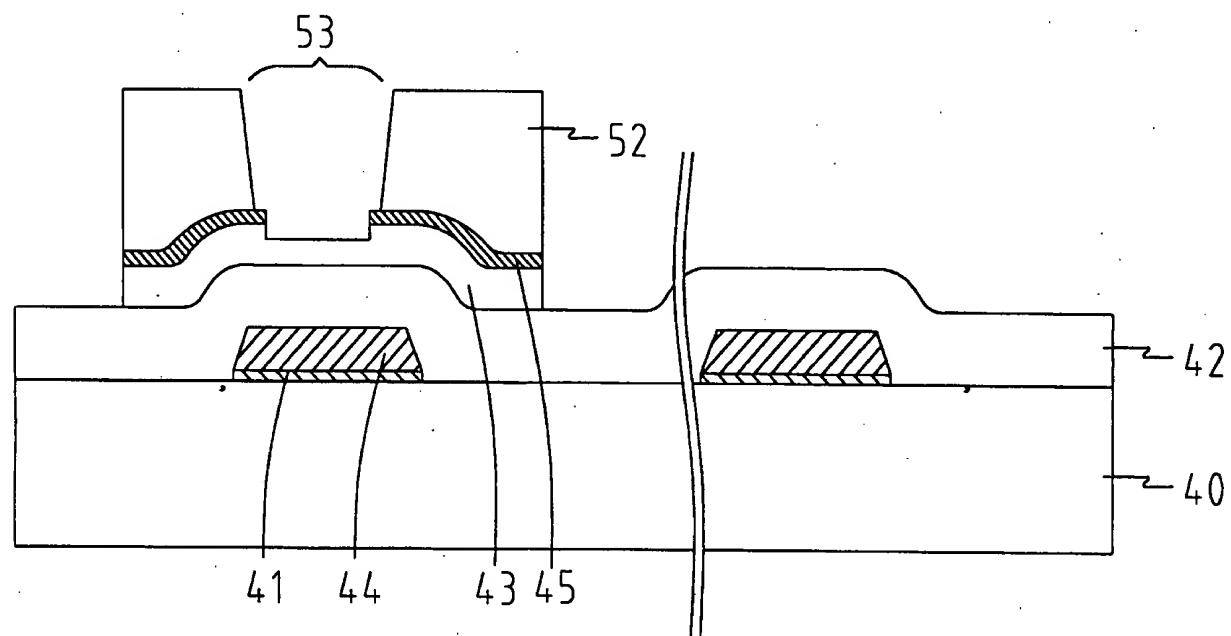
【도 20】



【도 21】



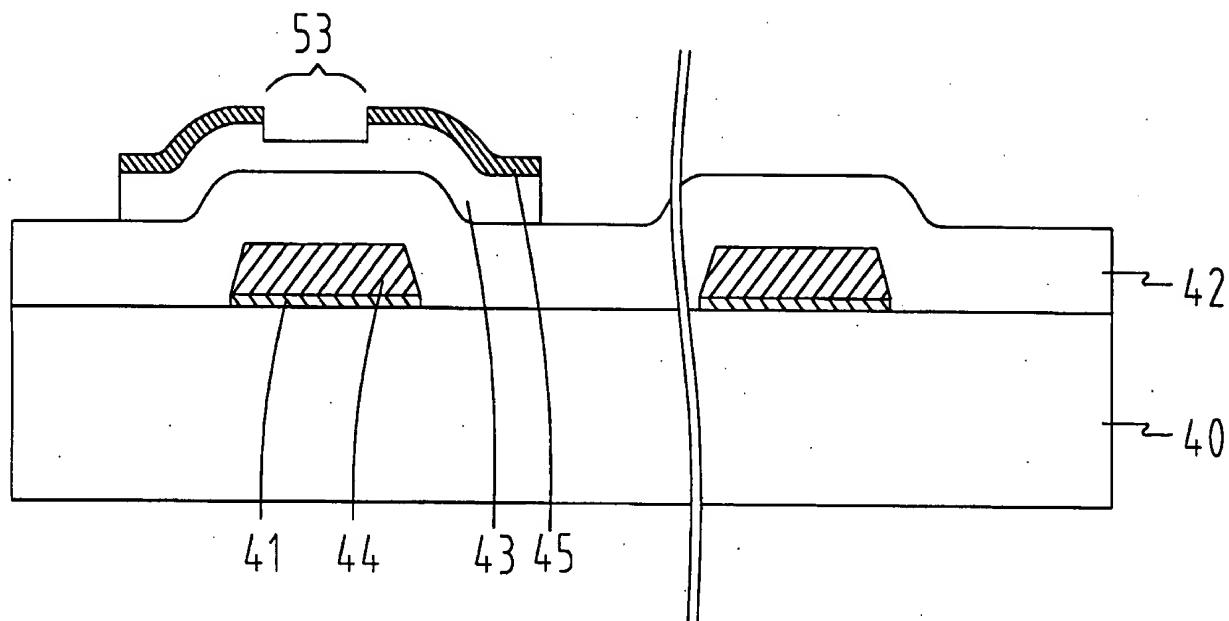
【도 22】



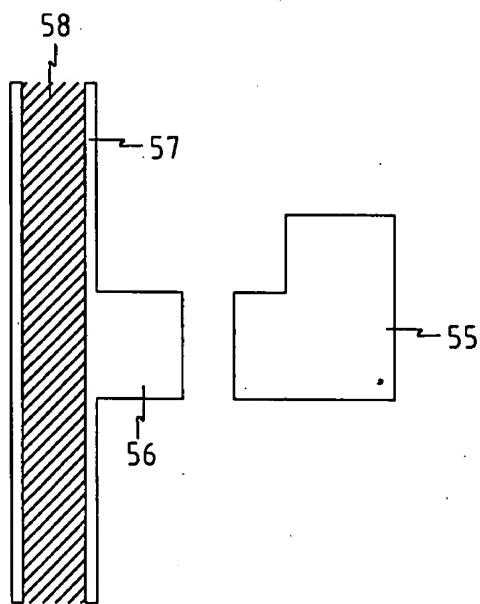
1019990027140

2000/9/2

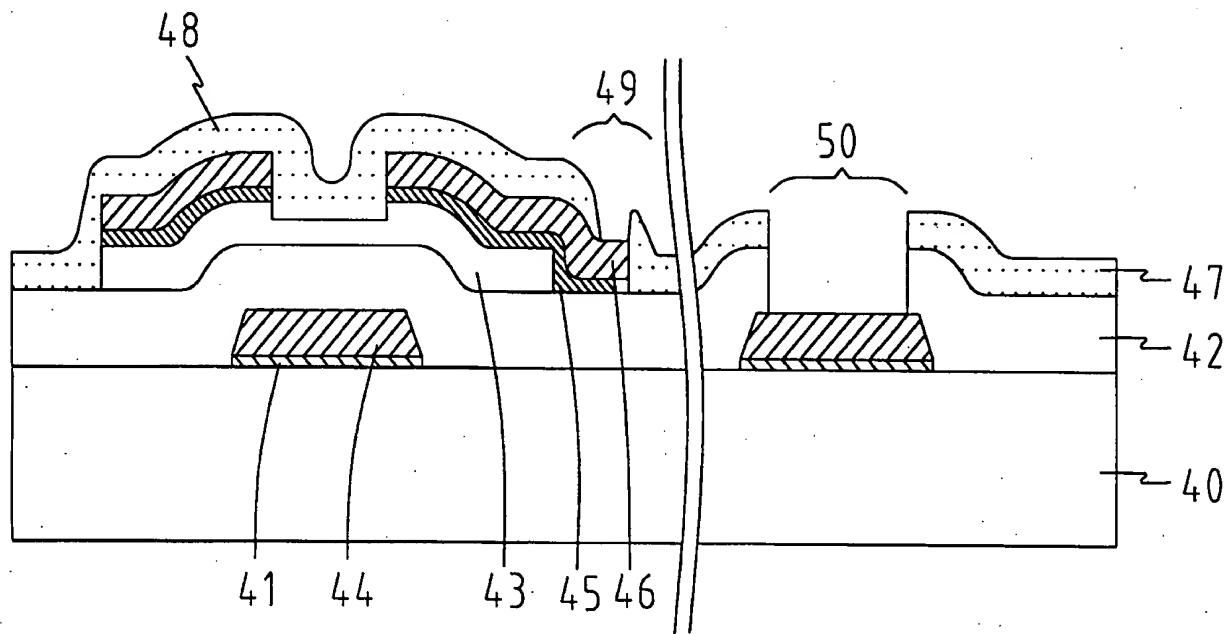
【도 23】



【도 24】



【도 25】



【도 26】

